

Hintergrund

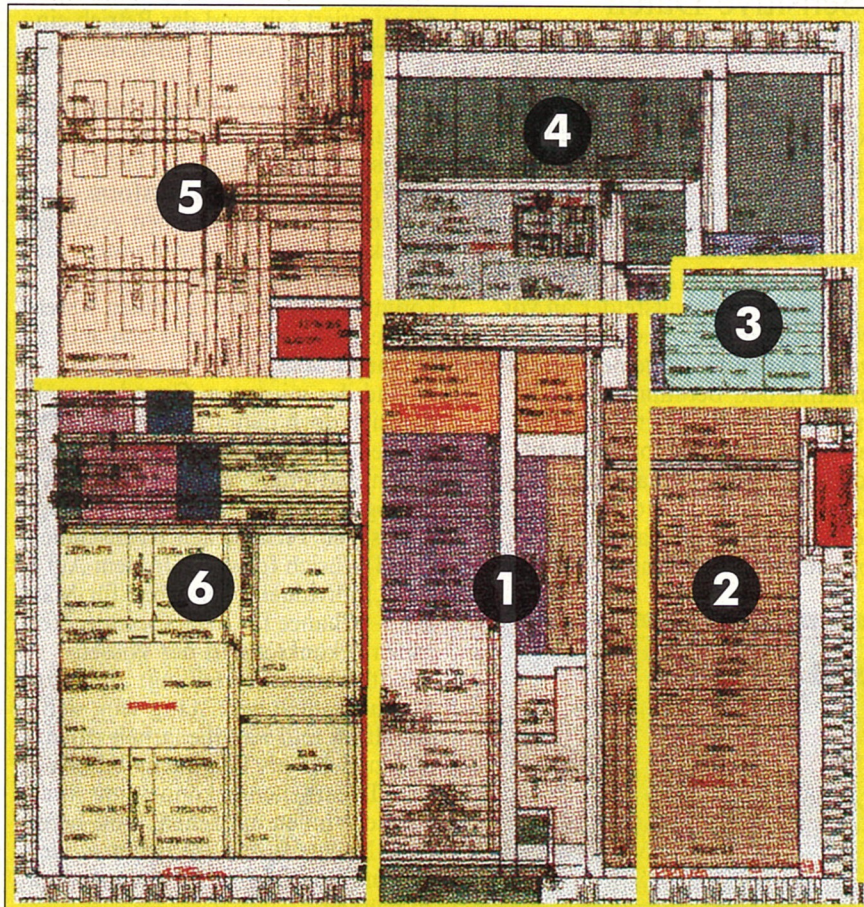
Details des neuen Intel-Prozessors

Intel gerät mit dem 586-Prozessor in Verzug. Ende Juni sollte der Nachfolger des i486 an die PC-Hersteller geliefert werden. Doch anstatt den fertigen Chip vorzustellen, veröffentlichte Intel nur technische Details.

Codename P5

Mit dem neuen Prozessor läuft alles nach Plan“, signalisierte Chiphersteller Intel noch im Mai. Der Nachfolger des i486-Prozessors – Intel-intern P5 genannt, allgemein aber als i586 gehandelt – sollte Ende Juni auf der PC-Expo in New York vorgestellt und dann auch ausgeliefert werden.

einige Karten etwas auf und verkündete technische Details. Nun heißt es, das neue Intel-Flaggschiff werde Mitte November in Las Vegas auf der Comdex, der bedeutendsten US-Computermesse, vorgestellt. Gleichzeitig sollen dort auch die ersten Vertreter der neuen PC-Generation gezeigt werden.



den. Spätestens im September, so versprachen Intel und einige Computerfirmen, würden die ersten Rechner mit dem P5 zu haben sein.

Doch kurz vor dem Ankündigungstermin ließ Intel durchblicken, daß der Fahrplan nicht eingehalten werden könne. Intel deckte in New York nur

Die Bestandteile des Intel-P5: (1) Superscalare RISC-Einheit, (2) Fließkomma-Einheit, (3) i386-Einheit, (4) Bus-Einheit, (5) Instruktionscache, (6) Datencache

Denn stellte der i486 im wesentlichen eine Weiterentwicklung des i386 dar, so ist der P5 eine völlige Neuentwicklung. Er soll laut Intel vier- bis fünfmal schneller sein als der i486; mit rund 3,5 Millionen Transistoren kann der P5 etwa 100 Millionen Instruktionen pro Sekunde (MIPS) ausführen, der i486 bringt es auf vergleichsweise bescheidene 1,2 Millionen Transistoren. Die Entwickler bauten im Vergleich zum i486 noch mehr Elemente der RISC-Technik ein, die mit weniger Befehlen auskommt als die herkömmliche CISC-Technik (siehe dazu auch Kasten auf Seite 28), – dennoch soll der neue Chip binärkompatibel zu den bisherigen 80 x 86-Prozessoren sein. Das schaffte Intel mit einem Trick.

Der P5 setzt sich nämlich aus drei getrennten Ausführungseinheiten zusammen:

- Kern des neuen Chips ist eine superscalare RISC-Einheit. Sie versetzt den Prozessor in die Lage, nicht nur fast alle Befehle in einem, sondern viele Befehle sogar in weniger als einem Taktzyklus ausführen zu können. Im Durchschnitt erledigt der P5 eineinhalb bis zwei Befehle pro Taktzyklus. Mit Intels Ankündigung von etwa 100 MIPS für die Prozessorleistung läßt sich darauf schließen, daß die CPU mit mindestens 50 Megahertz getaktet werden soll.

- Neu entworfen wurde die Floating-point-Einheit, ein auf dem Chip integrierter Coprozessor für mathematische Operationen. Diese Fließkomma-Einheit soll gegenüber dem i486 erheblich verbessert worden sein.

- Dritter und kleinster Bestandteil im Rechenwerk des P5 ist eine logisch getrennte i386-Einheit. Mit ihr wird die Kompatibilität zur bisherigen i386/486-Familie hergestellt. Ein eigener Mikrocode ermöglicht diesem Prozessor auf dem Prozessor die Verarbeitung aller Befehle der älteren Intel-CPU's. Als beim i486 erstmals RISC-Elemente in die CISC-Welt kamen, wurden 15 Prozent der Chipfläche für die Sicherstellung der Kompatibilität benötigt. Beim P5 sind es gerade noch 4 Prozent.

Neben diesen drei Ausführungseinheiten sind auf dem Chip zwei getrennte Caches für Daten und Instruktionen integriert. Das Prinzip der Cache-Technik besteht darin, häufig benötigte Daten in einem schnell zugänglichen Zwischenspeicher abzule-

Hintergrund

Details des neuen Intel-Prozessors

gen. Sie können dann wesentlich schneller erneut eingelesen werden, als dies aus dem Arbeitsspeicher des Computers möglich ist.

Um zu gewährleisten, daß die Daten im Arbeitsspeicher mit den entsprechenden Werten im Cache übereinstimmen, gibt es zwei Methoden: Das Write-through- und das Write-back-Verfahren. Beim Write-through-Cache werden alle Daten, die im Cache gespeichert werden, gleichzeitig auch in den Arbeitsspeicher geschrieben. Das kostet Zeit, erhöht aber auch die Datensicherheit.

Schneller ist das Write-back-Verfahren: Daten, die bereits im Cache vorhanden sind, werden zunächst nur in den Cache zurückgeschrieben und erst später auch in den Arbeitsspeicher übertragen.

Beim P5 können beide Verfahren angewandt werden. Mehrere der in drei Reihen angeordneten 238 Pins des P5 dienen ausschließlich den ver-

Parallelverarbeitung mit hohem Tempo

schiedenen Cache-Techniken. Der i486 kam noch mit 162 dieser Beinen aus. Ein Teil der zusätzlichen Kontakte wird für das Power-Management benötigt; mit einer elektrischen Leistung von 8 Watt benötigt der neue Prozessor deutlich mehr Strom als sein Vorgänger, der sich mit 5 Watt begnügte.

Zurück zum Herz des P5, dem superscalaren RISC-Kern. Mit verschiedenen Kunstgriffen erschließt Intel hier dem PC einen neuen Geschwindigkeitsbereich. Da ist zunächst das Pipelining, eine für die RISC-Implementierung typische Impulsgebung. Dabei wird die Tatsache ausgenutzt, daß während der Ausführung einer Instruktion nicht ständig der ganze Prozessor beschäftigt ist.

Die Instruktion wird deshalb so in Einzelschritte zerlegt, wie sie auch der Prozessor nacheinander abarbeiten kann. Befehl ins Register holen, übersetzen, ausführen, Ergebnis zurückschreiben – so etwa könnten die vier Schritte einer einfachen Anweisung aussehen. Wird in einem zweiten Taktzyklus ein Befehl übersetzt, kann bereits der nächste Befehl in die Pipeline gegeben werden. Ist die erste Anweisung schließlich bei ihrer vierten Ausführungphase angelangt, können be-

Die Architekturen verschmelzen: CISC + RISC = CRISP

Die Kürzel CISC und RISC stehen für „Complex Instruction Set Computer“ und für „Reduced Instruction Set Computer“. Diese Bezeichnungen für die beiden wichtigsten Prozessor-Architekturen kennzeichnen bereits den grundlegenden Unterschied zwischen den Technologien: Sie arbeiten mit verschiedenen Befehlssätzen (Instruction sets).

CISC

CISC-Prozessoren sind in der Lage, mit einem ihrer komplexen Befehle gleich mehrere Speicheroperationen auszuführen. Das macht die Arbeit für den Compiler einfacher und begrenzt die Zahl der erforderlichen Register. Dafür steigen die Ansprüche an die Steuereinheit des Prozessors, also jenen Teil der CPU (Zentraleinheit), der die Ausführung der Befehle koordiniert. Innerhalb eines CISC-Prozessors ist diese Steuereinheit in der Regel ein eigener Prozessor.

Die Mikrocodierung ist eine typische Implementierungstechnologie aus der CISC-Welt. In einem Festspeicher (ROM) auf dem Chip sind dabei verschiedene Mikroprogramme untergebracht, deren Aufgabe es ist, komplexe Instruktionen direkt auf dem Chip in einfache Teilbefehle aufzuschlüsseln.

reits drei weitere Instruktionen in Arbeit sein: Eine wird eben ausgeführt, eine weitere übersetzt und die vierte gerade ins Register geholt.

Die Wirksamkeit dieser Parallelverarbeitung wird in einem Superscalar-Prozessor wie dem P5 noch erhöht. Hier sorgen gleich mehrere Pipelines für den raschen Durchsatz möglichst vieler Instruktionen. Wichtig ist bei der Superscalar-Technik ein guter Compiler.

Der P5 ist eine Mischung aus den klassischen Prozessor-Architekturen CISC und RISC, von Intel kurz als CRISP bezeichnet. Betriebssysteme und Programme, die auf den bisherigen Standard-PC liefen, können also auch auf dem P5 eingesetzt werden, laufen allerdings nur über die 386er-Einheit. Die Vorzüge der superscalaren RISC-Einheit werden erst modernere Betriebssysteme und eine neue

RISC

Die RISC-Technologie entstand aus der Erkenntnis, daß gerade die komplexesten Befehle am seltensten benötigt werden. In RISC-Prozessoren wird deshalb auf die Implementierung dieser Befehle verzichtet, die durch mehrere einfache Anweisungen aus dem reduzierten Befehlssatz ersetzt werden. RISC kommt ohne Mikrocodierung aus – die Aufschlüsselung komplexerer Anweisungen wird auf die Compiler-Ebene verlagert. Die einfachen Befehle lassen sich schneller abarbeiten als typische CISC-Instruktionen, was einen RISC-Prozessor grundsätzlich leistungsfähiger macht. Programme sind bei ihm allerdings länger.

CRISP

Die Grenzen zwischen CISC und RISC verschmelzen allmählich. Auf der RISC-Seite zeigt sich dies durch eine gewachsene Zahl von Befehlen. Andererseits werden in CISC-Prozessoren zunehmend auch Implementierungsstrategien aus dem RISC-Bereich übernommen, wie etwa die erweiterte Impulsgebung (Pipelining) und eng gepaarte, auf dem Chip integrierte Caches. Die Verbindung von CISC und RISC in einem Prozessor wird CRISP (Complex Reduced Instruction Set Processor) genannt.

Softwaregeneration voll ausschöpfen können. Windows NT, 32-Bit-OS/2 und Unix-Anwendungen heißen hier die Aspiranten. Darüber hinaus rechnet Intel damit, daß künftig auch Anwendungsprogramme von Apple, Sun und Next auf der P5-Architektur laufen werden.

Offen ist derzeit noch der endgültige Name des neuen Intel-Chips. Aller Voraussicht nach wird er nicht i586 heißen. Der Grund, mit der bisherigen Logik bei der Namensgebung zu brechen: Intel hatte mit einer Gerichtsklage vergeblich versucht, dem Konkurrenten AMD zu untersagen, seine Prozessoren Am386 zu nennen. Das Gericht erkannte die Zahlenfolge nicht als schutzwürdigen Markennamen an. Bei Intel schwankt man noch, ob das Kürzel P5 stehenbleibt oder ob der schnelle Chip einen Phantasienamen bekommt. *Manfred Flohr* □